**2022年吉林大学软件工程专业《计算机组成原理》科目期末试卷A（有答案）**

**一、选择题**

1、一个存储器系统中，常常同时包含ROM和RAM两种类型的存储器，如果用lK×8位的ROM芯片和lK×4位的RAM芯片，组成4K×8位的ROM和1K×8位的RAM存储系统，按先ROM后RAM进行编址。采用3-8译码器选片，译码信号输出信号为Y0~Y7，其中Y4选择的是（ ）。

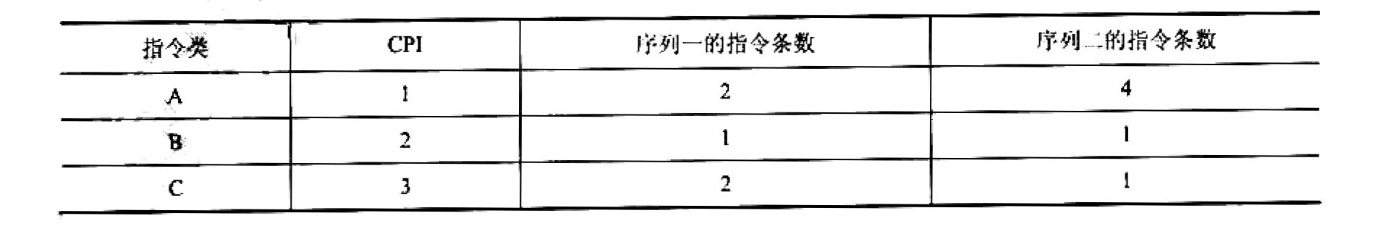
A.第一片ROM B.第五片ROM C.第一片RAM D.第一片RAM和第二片RAM

2、主存按字节编址，地址从0A4000H到0CBFFFH，共有（ ）字节；若用存储容量为32K×8位的存储芯片构成该主存，至少需要（ ）片。

A.80K，2 B.96K，2 C.160K，5 C.192K，5

3、计算机（ ）负责指令译码。

A.算术逻辑单元B.控制单元（或者操作码译码器）C.存储器电路D.输入/输出译码电路

4、假定编译器对高级语言的某条语句可以编译生成两种不同的指令序列，A、B和C三类指令的CPl和执行两种不同序列所含的三类指令条数见下表。则以下结论错误的是（）。

I.序列一比序列二少l条指令

Ⅱ.序列一比序列二的执行速度快

Ⅲ.序列一的总时钟周期数比序列二多1个

Ⅳ.序列一的CPI比序列二的CPI大

A.I、ll B.1、Ⅲ C. ll、1V D.Ⅱ

5、CPU中不包括（ ）。

A.操作码译码器

B.指令寄存器

C.地址译码器

D通用寄存器

6、下列有关总线定时的叙述中，错误的是（ ）。

A.异步通信方式中，全互锁协议最慢

B.异步通信方式中，非互锁协议的可靠性最差

C.同步通信方式中，同步时钟信号可由各设备提供

D.半同步通信方式中，握手信号的采样由同步时钟控制

7、总线的半同步通信方式是（ ）。

A.既不采用时钟信号，也不采用握手信号

B.只采用时钟信号，不采用握手信号

C.不采用时钟信号，只采用握手信号

D.既采用时钟信号，又采用握手信号

8、流水线计算机中，下列语句发生的数据相关类型是（ ）。

ADD R1，R2，R3；（R2）+（R3）→RI

ADD R4，R1，R5；（R1）+（R5）R4

A.写后写 B.读后写 C.写后读 D.读后读

9、在微程序控制器中，微程序的入口微地址是通过（ ）得到的。

A.程序计数器PC

B.前条微指令

C.PC+1

D.指令操作码映射

10、在中断周期，CPU主要完成以下工作（ ）。

A.关中断，保护断点，发中断响应信号并形成中断服务程序入口地址

B.开中断，保护断点，发中断响应信号并形成中断服务程序入口地址

C.关中断，执行中断服务程序

D.开中断，执行中断服务程序

11、禁止中断的功能可以由（ ）来完成。

A.中断触发器

B.中断允许触发器

C.中断屏蔽触发器

D.中断禁止触发器

12、用海明码对长度为8位的数据进行检/纠错时，若能纠正一位错，则校验位数至少为（ ）。

A.2 B.3 C.4 D.5

13、假定变量i、f、d的数据类型分别为int、float、double（int用补码表示，float 和double用IEEE754标准中的单精度和双精度浮点数据格式表示），已知i=785，f-l.5678e3，d=1.5el00，若在32位机器中执行下列关系表达式，则结果为真的是（ ）。

I.i==（int）（float）i Ⅱ.f==（float）（int）f

IⅡ.f==（float）（double）f Ⅳ.（d+f）-d=f

A.仅I、Ⅱ

B.仅I、Ⅲ

C.仅Ⅱ、Ⅲ

D.仅Ⅲ、Ⅳ

14、某计算机有16个通用寄存器，采用32位定长指令字，操作码字段（含寻址方式位）为8位，Store指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store指令中偏移量的取值范围是（ ）。

A.-32768~+32767 B.-32767~+32768

C.-65536~+65535 D.-65535~+65536

15、假设变址寄存器R的内容为1000H，指令中的形式地址为2000H：地址1000H中的内容为2000H，地址2000H中的内容为3000H，地址3000H中的内容为4000H，则变址寻址方式下访问到的操作数是（ ）。

A.1000H B.2000H C.3000H D.4000H

**二、填空题**

16、堆栈是一种特殊的\_\_\_\_\_\_\_寻址方式，它采用\_\_\_\_\_\_\_原理。按构造不同，分为寄存器堆栈和\_\_\_\_\_\_\_堆栈。

17、为了运算器的高速性，采用了\_\_\_\_\_\_\_\_进位，\_\_\_\_\_\_\_\_乘除法，\_\_\_\_\_\_\_\_等并行技术措施。

18、DMA控制器访采用以下三种方法：\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_

19、形成指令寻址的方式，称为指令寻址方式，有顺序寻址和\_\_\_\_\_\_\_寻址两种，使用\_\_\_\_\_\_\_来跟踪。

20、计算机软件一般分为两大类：一类叫\_\_\_\_\_\_,另一类叫\_\_\_\_\_\_操作系统属于\_\_\_\_\_\_\_类。

21、汉字的\_\_\_\_\_\_\_、\_\_\_\_\_\_\_ 、\_\_\_\_\_\_\_是计算机用于汉字输入、内部处理、输出三种不同用途的编码。

22、不同的CRT显示标准所支持的最大\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_数目是不同的。

23、主存储器的性能指标主要是存储容量、存取时间、\_\_\_\_\_\_\_和\_\_\_\_\_\_\_

24、外围设备大体分为输入设备，输出设备，\_\_\_\_\_\_\_\_\_设备，\_\_\_\_\_\_\_\_\_设备，\_\_\_\_\_\_\_\_\_设备五大类。

25、计算机软件一般分为两大类：一类叫\_\_\_\_\_\_，另一类叫\_\_\_\_\_\_操作系统属于\_\_\_\_\_\_类

**三、名词解释题**

26、CD-ROM：

27、微地址：

28、辅存：

29、绝对转移：

**四、简答题**

30、什么是指令字长、机器字长和存储字长？

31、什么叫指令？什么叫微指令？二者有什么关系？

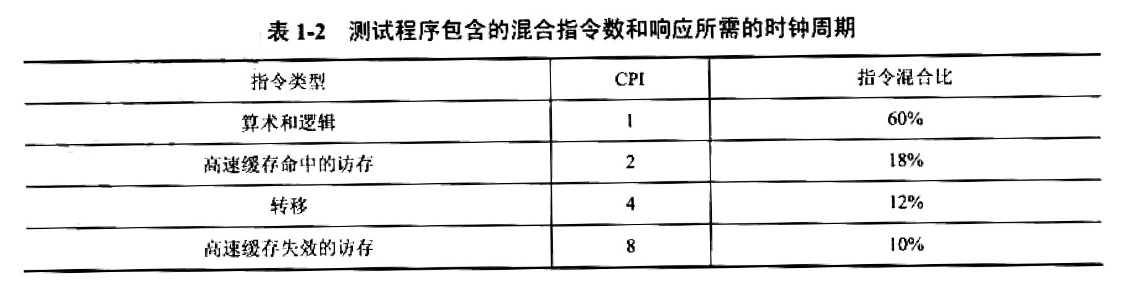
32、说明总线结构对计算机系统性能的影响。

33、计算机指令中一般包含哪些字段？各有什么作用？

**五、计算题**

34、某计算机采用5级指令流水线，如果每级执行时间是2ns，求理想情况下该流水线的加速比和吞吐率。

35、用一个时钟频率为40MHz的处理器执行标准测试程序，它所包含的混合指令数和响应所需的时钟周期见表。试求出有效的CPI、MIPS速率和程序的执行时间（假设有N条指令）。



36、某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32B；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40ns；存储器总线宽度为32位，总线时钟频率为200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括送首地址和命令、存储器准备数据和传送数据。每次突发传送32B，传送地址或32位数据均需一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

1）CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？

2）Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？

3）存储器总线完成一次读突发传送总线事务所需的时间是多少？

4）若程序BP执行过程中，共执行了100条指令，平均每条指令需进行1.2次访存，Cache缺失率为5%，不考虑替换等开销，则BP的CPU执行时间是多少？

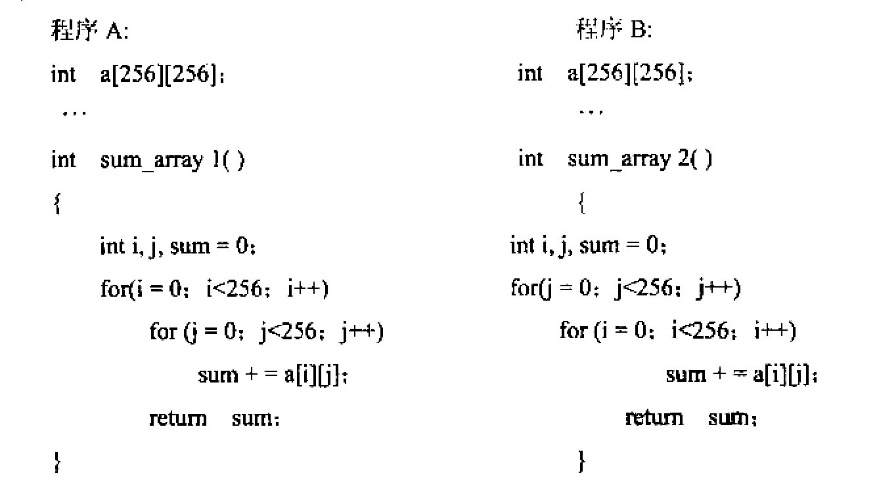
**六、综合题**

37、在一个8级中断系统中，硬件中断响应从高到低的优先顺序是：1→2→3→4→5→6-7-8，设置中断屏蔽寄存器后，中断处理的优先顺序变为1→5→8→3→2→4→6→7。

1）应如何设置屏蔽码？

2）如果CPU在执行一个应用程序时有5、6、7级3个中断请求同时到达，中断请求8在6没有处理完以前到达，在处理8时中断请求2又到达CPU，试画出CPU响应这些中断的顺序示意图。

38、某指令系统字长12位，地址码取3位，试提出一种方案，使该系统有4条三地址指令、8条二地址指令、150条一地址指令。列出操作码的扩展形式并计算操作码的平均长度。

39、某计算机的主存地址空间大小为256MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64B，数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下所示：

假定int类型数据用32位补码表示，程序编译时，i、j、sum均分配在寄存器中，数组a按行优先方式存放，其首地址为320（+进制）。请回答下列问题，要求说明理由或给出计算过程。

1）若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量为多少？

2）数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号分别是多少（Cache行号从0开始）？

3）程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

**参考答案**

**一、选择题**

1、D

2、C

3、B

4、D

5、C

6、C

7、D

8、C

9、D

10、A

11、B

12、C

13、B

14、A

15、D

**二、填空题**

16、数据 先进后出 存储器

17、先行 阵列 流水线

18、停止CPU访问 周期挪用 DMA和CPU交替访内

19、跳跃 程序计数器

20、系统软件 应用软件 系统软件

21、输入编码（或输入码） 内码（或机内码） 字模码

22、分辨率 颜色

23、存储周期 存储器带宽

24、外存 数据通信 过程控制

25、系统程序 应用程序 系统程序

**三、名词解释题**

26、CD-ROM：

计算机中只读型光盘的主要标准。

27、微地址：

微每时令在控制存储器中的存储地址。

28、辅存：

一般通过输入输出部件连接到主存储器的外围设备，成本低，存储时间长。

29、绝对转移：

一种形成才转移目标地址的方式，转移指令的目标指令地址是由有效地址直接指定，与PC寄存器的内容无关。

**四、简答题**

30、答：机器字长：CPU一次能处理数据的位数，通常与CPU的寄存器位数有关。

31、答：指令，即指机器指令。每一条指令可以完成一个独立的算术运算或逻辑运算操作。控制部件通过控制线向执行部件发出各种控制命令，通常把这种控制命令叫做微命令，而一组实现一定操作功能的微命令的组合，构成一条微指令。许多条微指令组成的序列构成了微程序，微程序则完成对指令的解释执行。

32、答：（1）最大存储容量单总线系统中，最大内存容量必须小于由计算机字长所决定的可能的地址总线。双总线系统中，存储容量不会受到外围设备数量的影响

（2）指令系统

双总线系统，必须有专门的I/0指令系统单总线系统，访问内存和I/0使用相同指令

（3）吞吐量 总线数量越多，吞吐能力越大

33、答：包含地址码和操作吗；操作码表示操作的类型；地址码一半表示操作数和操作结果的存储位置；

**五、计算题**

34、44.解析：流水线的加速比指采用流水线技术时指令的执行速度与等效的不采用流水线技术的指令执行速度之比，理想情况加速比等于流水线的级数。吞吐率指每秒钟能处理的指令数量。本题中计算机采用5级指令流水线，所以理想情况下加速比等于5。现在每完成一条指令的时间是2ns，则最大吞吐率等于1/2ns=5108。

35、解：CPI即执行一条指令所需的时钟周期数。本标准测试程序共包含4种指令，那么CPl就是这4种指令的数学期望，故

CPl=1×60%+2×18%+4×12%+8×10%=2.24

MIPS即每秒执行百万条指令数。已知处理器的时钟频率为40MHz，即每秒包含40M个时钟周期，故

MIPS=40/CPl=40/2.2417.9

程序执行时间自然就等于程序包含的指令数×CP1x时钟周期的长度，

故程序执行时间=N×2.24×1/40MHz=5.6N×10-8s

36、解析：

1）CPU的时钟周期为1/800MHz=1.25ns。

总线的时钟周期为1/200MHz=5ns。

总线带宽为4B×200MHz=800MB/s或4B/5ns=800MB/s。

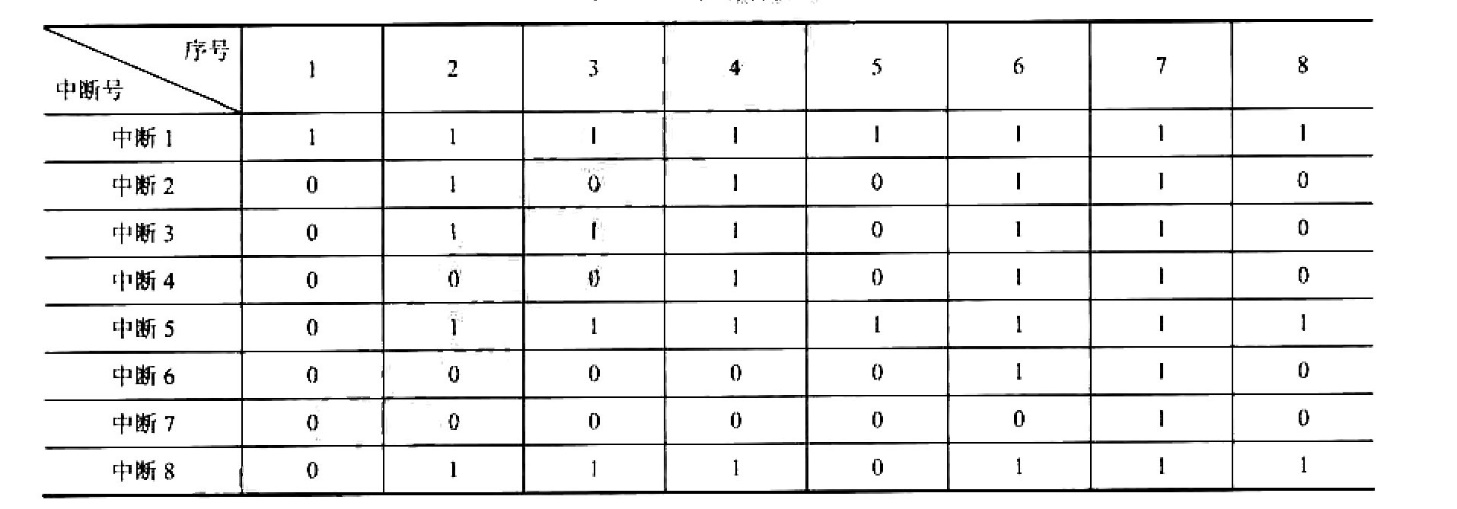
2）因为每次读突发传送32B，而Cache块大小恰好是32B，所以只需要1个读突发传送总线事务来完成一个主存块的读取。

3）一次读突发传送总线事务包括一次地址传送和32B数据传送：用1个总线时钟周期传输地址，即5ns；首先，根据低位交叉存储器的工作原理，数据全部读出需要40ns+（8-1）×5ns=75ns。但是，在第40ns时，数据的读取与传输是可以重叠的，所以只需要加上最后一个体读出的数据的传输时间即可，即5ns。故读突发传送总线事物时间为5ns+75ns+5ns=85ns。

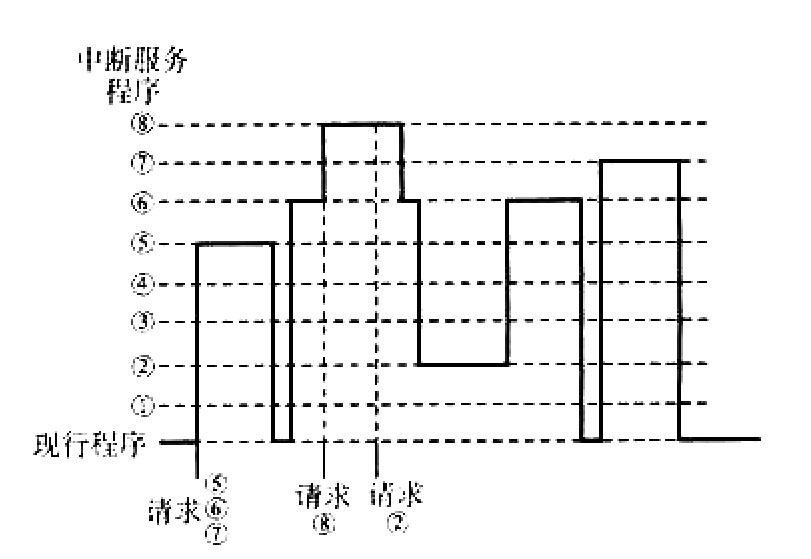
4）BP的CPU执行时间包括Cache命中时的指令执行时间和Cache缺失时带来的额外开销。命中时的指令执行时间：100×4×l.25ns=500ns。指令执行过程中Cache缺失时的额外开销：1.2×100×5%×85ns=510ns。可得，BP的CPU执行时间：500ns+510ns=1010ns。

**六、综合题**

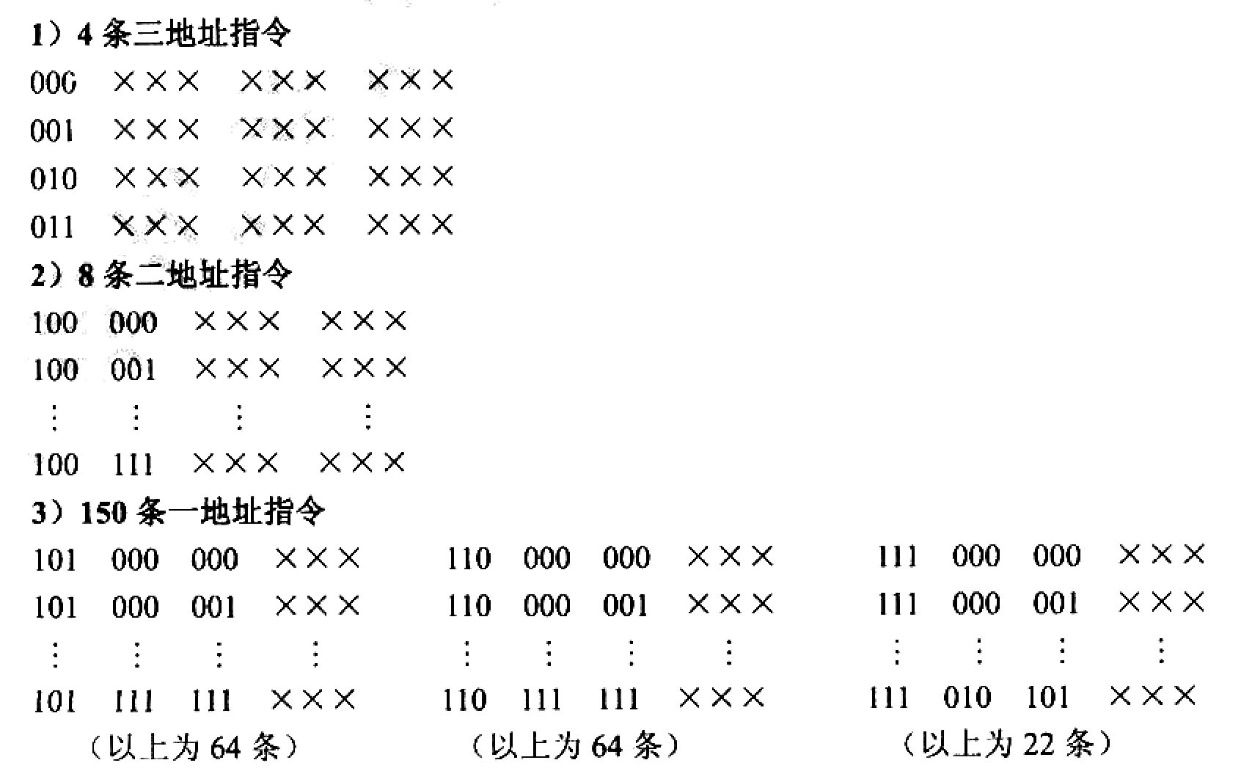
37、解析：

1）中断屏蔽码见表

2）中断处理示意图如图所示。



5、6、7级中断请求同时到达，CPU按响应优先顺序首先执行中断服务程序⑤，在中断⑤执行完后回到现行程序，再按响应优先顺序先进入中断服务程序④。由于中断请求的处理优先级，高于中断④，因此中断⑤被打断，进入中断服务程序③。当处理中断③的过程中又有一个中断请求②到达，由于②的优先级低于中断8，因此中断服务程序③可继续执行。中断8执行完后问到被打断的中断⑤，但中断③又被中断请求②打断，而进入中断服务程序②。中断②执行完后才回到中断⑤，中断⑤执行完后回到现行程序，再按响应优先顺序进入中断服务程序⑦。中断⑦执行完后回到现行程序，整个中断处理完毕。

38、解析：

以上答案不唯一，只要满足不包含就行，即没有前缀码。这个和数据结构中的赫夫曼树的编码是很类似的。

操作码的平均长度=（3×4+6×8+9×150）/162=8.7

39、解析：1）Cache结构如下。

|  |  |  |  |
| --- | --- | --- | --- |
| V | … | Tag | Data |

此处的行即为块（Block）。直接映射下，每块的Cache结构一般分为4个部分，其中，V：1位，表示所在的块是否有效。

…：表示用于Cache一致性维护和替换算法的控制位。

TAG：地址转换标记。

如果不计算“…”部分，则Cache的大小由V、Tag和Data（数据）3部分组成。在直接映射中，可以将地址分为如下3个部分：

|  |  |  |
| --- | --- | --- |
| Tag | 快索引 | 块内 |

本题中，总的寻址位数为28位（228=256M）：块内位为6位（25-64），5~0位；块索引为3位（23=8），8~6位。因此，Tag=28-6-3=19位，即27~9位。

每行（块）的大小=V+Tag+数据=1+19+64×8位。

数据Cache有8行，总容量为（1+19+64×8）×8/8=532B。

2）由于数组在存储器中按行优先方式存放，因此每个数组元素占4B。数组首地址为320，因此可知：

a[0][31]在存储器中的地址为320+31×4=444=0001 10111100B

a[l][1]在存储器中的地址为320+（256+1）×4=1348=010101000100B按直接映射方式，地址分为3部分，块索引在地址的8~6位，因此两地址所对应的块索引分别为6（110B）、5（101B）。

3）数组a中每个数据只用了一次，如果程序没有命中，则从主存中读入一块，大小64B，相当于16个整数。对于程序A，如果是按行连续存放的，那么从主存读入一块到Cache（一次失配）后，随后的15次便都Cache命中，读一次管16次，因此命中率为

[（216-212）/216]×100%=93.75%

程序B随列访问数组a，由于Cache的容量太小，读入的数据块留不到下次用便又被替换，因此每次都失败，命中率为0%。

另一种算法是，由于数组a一行的数据量为1KB>64B，因此访问第0行时，每个元素都不命中，由于数组有256列，数据Cache仅有8行，故访问数组后续列元素仍然不命中，于是程序B的数据访问命中率为0%。

由于从Cache 读数据比从内存读数据快很多，因此程序A的执行时间更短。

分析：

1）V、Tag、Data是每个Cache块（行）的必要组成。为了提高效率或者实行替换算法，每个块还需要一些控制位，这些位根据不同的设计要求而定。

2）本题中计算两个数组元素的地址是关键。

3）命中率的计算是本问题的关键。注意数组访问与数组在内存中的存储方式，以及命中率的定义。